

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-214314

(43) 公開日 平成9年(1997)8月15日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|---------|--------|---------------|---------|
| H 0 3 K | 19/0175 | | H 0 3 K 19/00 | 1 0 1 F |
| | 19/0185 | | | 1 0 1 B |
| | 19/0948 | | 19/094 | B |

審査請求 未請求 請求項の数8 OL (全9頁)

(21) 出願番号 特願平8-15949

(22) 出願日 平成8年(1996)1月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 永 松 徹

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 黒 田 忠 広

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

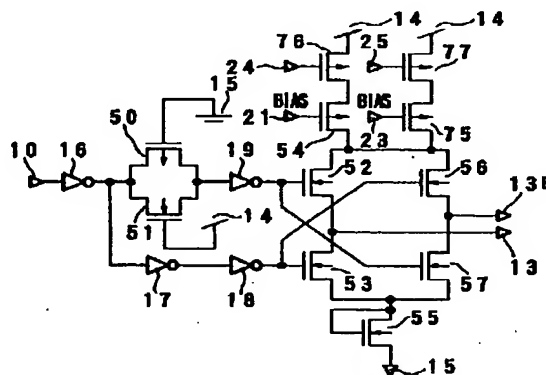
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 ドライバ回路装置

(57) 【要約】

【課題】 LVDSインターフェースに用いられる定電流駆動型ドライバにおいて、パッケージのピンに付加している寄生容量を十分に高速に充放電し、高速伝送動作を確保し、レシーバが十分に受信できるようなAC的な差動振幅を実現する。

【解決手段】 出力端子13、13Bにつながる一対の伝送路に流れる信号電流の向きを切り替えることにより信号を伝送するトランジスタ52、53、56、57で構成される送信回路と、この送信回路の電流値を制御するための定電流源を構成するトランジスタ54、75とを備え、トランジスタ54、75に直列に接続されるトランジスタ76、77のゲートに接続される制御信号入力端子24、25からの制御信号により、アイドル時には、定電流源を、トランジスタ54、75のいずれか一方にすることにより、出力端子13、13Bに流れる信号電流を制限して、電力消費を抑制し、一方、高速信号伝送時には、定電流源を、トランジスタ54、75の両方とすることにより、出力端子13、13Bに流れる信号電流を増やして、高速信号に対応させる。



【特許請求の範囲】

【請求項1】 一对の伝送路に流れる信号電流の向きを切り替えることにより信号を伝送する送信回路と、前記送信回路の電流値を制御するための定電流源と、前記定電流源の電流駆動力を、定電流源の並列数を変えるように制御する、制御手段と、を備えることを特徴とするドライバ回路装置。

【請求項2】 一对の伝送路に流れる信号電流の向きを切り替えることにより信号を伝送する送信回路と、前記送信回路の電流値を制御するための定電流源と、前記定電流源の電流駆動力を、定電流源に与えるバイアスを変えることによって制御する、制御手段と、を備えることを特徴とするドライバ回路装置。

【請求項3】 前記制御手段が、前記定電流源にバイアスを与えるバイアス回路のバイアス設定回路を切り替えることによって、このバイアスを変えて、この定電流源の電流を切り替える、請求項2のドライバ回路装置。

【請求項4】 前記制御手段が、前記定電流源にバイアスを与えるバイアス回路の出力回路の電流駆動力を切り替えることによって、このバイアスを変えて、この定電流源の電流を切り替える、請求項2のドライバ回路装置。

【請求項5】 定電流源により作られる信号電流の流れる方向を切換えることによって信号を伝送する、DC的な差動振幅が実使用する周波数におけるAC的な差動振幅よりも2倍以上大きい、LVDSドライバーを用いたドライバ回路装置において、

前記LVDSドライバーに複数の電流源トランジスタを並列に設け、前記LVDSドライバーの入力信号がアイドル状態にあるか否かの動作状態を検知することによって、上記各電流源トランジスタのオン、オフを制御し、これにより前記信号電流の値を制御することを特徴とするドライバ回路装置。

【請求項6】 定電流源により作られる信号電流の流れる方向を切換えることによって信号を伝送する、DC的な差動振幅が実使用する周波数におけるAC的な差動振幅よりも2倍以上大きい、LVDSドライバーを用いたドライバ回路装置において、

前記LVDSドライバーにおける定電流源トランジスタにバイアスを加えるバイアス回路を有し、このバイアス回路は、前記LVDSドライバーの入力信号がアイドル状態あるか否かの動作状態を検知することによって出力するバイアスを変化させ、これにより前記信号電流の値を制御することを特徴とするドライバ回路装置。

【請求項7】 前記バイアス回路は、高圧側及び低圧側電源間に接続されたコントロールトランジスタと、このコントロールトランジスタのコントロール端子に加えるコントロール信号を出力するコントロール信号出力回路とを有し、このコントロール回路において回路に接続される抵抗の数を、前記動作状態に応じて変えることにより、前記コントロール信号を変化させて前記バイアスを

変化させ、これにより前記信号電流の値を制御する、請求項6記載のドライバ回路装置。

【請求項8】 前記バイアス回路は、高圧側及び低圧側電源間に並列に接続された複数のコントロールユニットを有し、前記各コントロールユニットは直列に接続されたコントロールトランジスタとスイッチトランジスタとを有し、前記動作状態に応じて前記各コントロールユニット中の前記スイッチトランジスタのオン、オフを決め、これにより前記バイアス回路から出力される前記バイアスを変化させて前記信号電流の値を制御する、請求項6のドライバ回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はドライバ回路装置に係り、特に、高速小振幅インターフェースに用いられるドライバ回路において、高速信号の伝送を実現するための回路構成に関する。

【0002】

【従来の技術】 近年、小振幅信号の高速伝送用のインターフェースとしてLVDS (Low Voltage Differential Signals) が注目されている。このLVDSは、IEEEの標準化小委員会の1つであるP1596.3において標準化作業が進められている差動小振幅インターフェースの規格である。この規格は、文献「IEEE Draft Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI) Draft 1.20」(July 13, 1995)に詳述されるところのものである。

【0003】 図5は、このLVDSインターフェースを説明するための概念図である。

【0004】 図において示すように、ドライバブロック3とレシーバブロック4の間は、往路伝送線8と復路伝送線9により結ばれている。往路伝送線8と復路伝送線9は電気的特性が等しい、いわゆる平衡伝送路を形成しており、この2本の伝送路により1つの信号の伝送を行うことが大きな特徴となっている。

【0005】 ドライバブロック3は、ドライババッファ1を有し、入力端子10から信号入力を行うようになっている。ドライババッファ1には高電位駆動抵抗5を介して高電位電源14が接続され、低電位駆動抵抗6を介して低電位電源15が接続されている。高電位駆動抵抗5の抵抗値 R_{OH} は50Ω、低電位駆動抵抗6の抵抗値 P_{OL} も50Ωである。

【0006】 レシーバブロック4は、差動増幅回路を構成するレシーババッファ2を有し、出力端子12から信号出力を行うようになっている。レシーババッファ2は高電位電源29および低電位電源30から電力の供給を受け

る。なお、レシーバチップ2の終端抵抗7の抵抗値 R_T は100Ωである。

【0007】また、往路伝送線8および復路伝送線9のインピーダンス Z_0 はいずれも50Ωである。

【0008】以上述べたような構成において、ドライバチップ1は入力端子10からの入力信号に基づいて、往路伝送線8、復路伝送線9の間に電位差を生ずるような差動信号を生成する。これに対して、レシーバチップ2は往路伝送線8、復路伝送線9の間に生成された差動信号をCMOSレベルに変換し、これを出力端子12から出力する。

【0009】LVDSの原理は、ドライバチップ1側で発生した信号電流 I_s を、往路伝送線8と復路伝送線9の平衡伝送線と、レシーバチップ2側の終端抵抗7で形成されるループに流すことにより、終端抵抗7の部分に信号電圧を発生させて信号を伝送するものである。信号の“1”、“0”は、信号電流 I_s の流れる向きを切り替えることにより識別させる。

【0010】以上のような構成によれば、ドライバチップ1に流れる電流はほぼ一定であり、往路伝送線8および復路伝送線9を流れる信号電流 I_s は、大きさは同じで、向きが逆であるため、平衡伝送線全体の電流は“0”になるため、電流変動はほとんどない。

【0011】一方、レシーバチップ2も、電流切り替え型のコンパレータを用いるならば、伝送系全体での電流の変動はほとんど無いと考えてよい。

【0012】以上のような特性は、伝送系の電流変動によって生ずるノイズが小さいことを意味しており、隣接するポート間の伝送線どうしの干渉やLSI間の同時スイッチング干渉が小さいため、200MHz以上といった高速信号の伝送に適している。

【0013】ちなみに、LVDSにおいては、信号電流 I_s は3mA程度であり、終端抵抗7の両端の電圧、つまり信号振幅は300mV程度とされている。

【0014】さて、図5の構成において、ドライバブロック3は図6のような回路により実現できる。

【0015】図6において示すように、入力端子10からの入力信号は、インバータ16を介して入力される。インバータ16の出力は、トランジスタ50、51によるバッファ回路を経て、インバータ19で反転されて、トランジスタ52および57のゲートに入力される。インバータ16の出力は、併せて、インバータ17、18を通じて、非反転のままトランジスタ53および56のゲートに入力される。なお、トランジスタ50、51によるバッファ回路は、併行して信号が伝送されるインバータ17の時間遅れ分を補償するためのものである。

【0016】トランジスタ52、56のドレインはトランジスタ54のドレインに接続される。トランジスタ54はそのソースを高電位電源14に接続され、そのゲートをバイアス入力端子21に接続される。

【0017】一方、トランジスタ53、57のソースはトランジスタ55のドレインに接続される。トランジスタ55はそのゲートを、そのドレインに接続され、ソースを低電位電源15に接続される。

【0018】トランジスタ52のソースと、トランジスタ53のドレインは共通接続され、出力端子13に接続される。出力端子13は、図5の往路伝送線8に接続されることになる。

【0019】一方、トランジスタ56のソースと、トランジスタ57のドレインは共通接続され、出力端子13Bに接続される。出力端子13Bは、図5の復路伝送線9に接続されることになる。

【0020】以上の構成において、バイアス入力端子21にバイアスを与えられているトランジスタ54が、図5における高電位駆動抵抗5の役割を果たし、トランジスタ55が、図5におけるトランジスタ69の役割を果たすことになる。

【0021】また、図5の構成において、レシーバブロック4は図7のような回路により実現できる。

【0022】図7に示すように、往路伝送線8に接続される入力端子11はトランジスタ66のゲートに接続される。一方、復路伝送線9に接続される入力端子11Bはトランジスタ60のゲートに接続される。トランジスタ60、67のソースは、トランジスタ61のドレインに接続される。トランジスタ61のゲートは、バイアス入力端子22に接続され、ソースは高電位電源29に接続される。

【0023】トランジスタ60のドレインはトランジスタ62のソースとゲート、トランジスタ63のゲート、トランジスタ64のドレイン、およびトランジスタ59のゲートに接続される。

【0024】トランジスタ66のドレインはトランジスタ65のソースとゲート、トランジスタ64のゲート、トランジスタ63のドレイン、およびトランジスタ68のゲートに接続される。

【0025】トランジスタ62、63、64、65、59、68のソースは、低電位電源30に接続される。

【0026】トランジスタ59のドレインは、トランジスタ58のドレインおよびソースと、トランジスタ67のゲートに接続される。一方、トランジスタ58のソースは高電位電源29に接続される。

【0027】また、トランジスタ67のソースは高電位電源29に接続され、トランジスタ67のドレインは、トランジスタ68のドレインに接続される。なお、トランジスタ67、68のドレインは、出力端子12に接続される。

【0028】また、図6、図7に示したドライバブロック3およびレシーバブロック4では、それぞれの電流を規定するために、電流バイアス回路が用いられているが、その回路構成の一例を図8に示す。

【0029】さて、図8において、バイアス出力端子31は、トランジスタ73のゲート、ドレインと、トランジスタ74のドレインから導出される。トランジスタ73のソースは高電位電源に接続され、トランジスタ74のソースは低電位電源に接続される。

【0030】トランジスタ74のゲートは、トランジスタ71のドレインおよび、トランジスタ72のドレインとゲートに接続される。トランジスタ71のソースは高電位電源に接続され、トランジスタ72のソースは低電位電源に接続される。

【0031】トランジスタ71のゲートは、トランジスタ69のゲートとドレインに接続され、トランジスタ72のゲートはトランジスタ70のゲートに接続される。トランジスタ69のソースは高電位電源に接続され、トランジスタ70のソースは、抵抗26を通じて、低電位電源に接続される。

【0032】なお、図8の電流バイアス回路のバイアス出力端子31からの出力信号は、図6のバイアス入力端子21へのバイアス入力、図7のバイアス入力端子22へのバイアス入力として用いられる。

【0033】

【発明が解決しようとする課題】さて、以上のような構成においては、400MHz以上といった高周波信号を伝送する場合、一般的に使用されるパッケージのピンに付加している10pF前後の寄生容量ですら問題になってくる。つまり、このような寄生容量を駆動するには、3~4mA程度の信号電流のみでは不十分であり、信号の周波数が高いと、高電位および低電位の電源電圧レベルまで十分な振幅を得られない。このため、信号レベルが、LVDSで規定されている300mV程度の振幅にフルスイングしないうちに次のサイクルに推移してしまう。

【0034】つまり、レシーバ側では、信号を受信する差動振幅は、直流的に予測される値よりも小さくなるため、感度を上げるための特別な回路構成が必要になってくる。その結果、回路を構成するためのチップ面積が増大したり、電流消費の増大が避けられない。

【0035】LVDSが想定しているようなバックプレーン伝送環境や、ケーブル伝送環境においては、差動振幅が200mV以下になってしまうような場合、外部からのノイズに耐えられなくなってしまう可能性が高い。

【0036】つまり、400MHz以上の高周波信号の伝送のためには、パッケージの寄生容量を充分高速に充電し、高速動作を実現し、交流的な差動振幅を確保するための対策が必要とされている。

【0037】本発明は、上記のような従来技術の問題点を解消し、LVDSインターフェースに用いられる定電流駆動型ドライバにおいて、パッケージのピンに付加している寄生容量を充分に高速に充電し、高速伝送動作を確保し、レシーバが充分に受信できるようなAC的な

差動振幅を実現できるドライバ回路装置を提供することを目的とする。

【0038】

【課題を解決するための手段】上記目的を達成するために、本発明のドライバ回路装置は、一対の伝送路に流れる信号電流の向きを切り替えることにより信号を伝送する送信回路と、前記送信回路の電流値を制御するための定電流源と、前記定電流源の電流駆動力を、定電流源の並列数を変えるように制御する、制御手段と、を備えることを特徴とするドライバ回路装置を提供するものである。

【0039】さらに、本発明のドライバ回路装置は、一対の伝送路に流れる信号電流の向きを切り替えることにより信号を伝送する送信回路と、前記送信回路の電流値を制御するための定電流源と、前記定電流源の電流駆動力を、定電流源に与えるバイアスを変えることによって制御する、制御手段と、を備えることを特徴とするドライバ回路装置を提供するものである。

【0040】

20 【発明の実施の形態】本発明の実施の形態を説明するに先立ち、本発明を原理的な観点から説明する。

【0041】本発明のドライバ回路装置では、LVDSインターフェースに用いられる定電流駆動型ドライバにおいて、パッケージのピンに付加している寄生容量を充分に高速に充電するために、ドライバの信号電流を増加させ、直流的な信号レベルを、差動振幅を予め規格を外れた大きなものにしておき、高速動作を開始する際には、AC的に規格に合致した信号レベルの差動振幅を保証するように回路を構成する。一方、長サイクルにわたって信号の変化がない場合に備えて、信号電流を作っている電流源またはバイアス回路に切り替え手段を設けておき、電流量の増大を抑制する。

【0042】つまり、図4の説明図に示すように、高速化のために信号電流を3mAの2倍の6mAとして供給するようにしておく。その結果、ドライバのDCロウレベルであるVOLレベルはNMOSTランジスタによる負荷素子なので、電流の増加によりそれ程大きなレベルの変動はないが、ドライバのDCハイレベルであるVOHレベルおよびドライバのDC差動振幅であるVODは、約2倍の600mA程度に増大する。

【0043】さて、図4の状態遷移を見ると、DCレベルからACレベルに移る時には、若干の遅延DELが発生する。しかし、この状態遷移時の初期のクロック信号を用いないようにすることにより、弊害を無くすることができる。

【0044】また、信号停滞時間の大小により遷移時間が異なる場合がある。これは、特にNRZ(Non-Return-Zero)のデータを伝送する場合に問題となるが、このような形式のデータの場合、データの最大周波数は、クロック周波数の半分であるため、問題と

ならない。

【0045】さて、図4に示すような波形では、AC的な差動最大振幅は、DC的に定義される振幅の約半分であり、波形としては台形ではなく正弦波もしくは三角波に近いものとなる。しかしながら、レシーバに用いられるコンパレータがそれ程まで感度を上げる必要なしに受信することができるため、高速化においては有効である。

【0046】さて、ドライバ側では、3mAの電流を6mAに増大させる訳であるから、当然消費電力の増大という問題が発生する。つまり、クロック信号が送信されていないアイドル状態では、ドライバの直流電流6mAが無駄に流れていることになる。つまり、アイドル状態では、信号を保持するために必要な最低限度の電流が流れていればよく、高速クロック伝送時に必要な電流の半分程度の電流でよい。この場合、全電流をカットするという方法も考えられるが、復帰の遅れのことや、レシーバ側に差動電位を与えておかないと動作不安定になること、などを考えると得策ではない。

【0047】したがって、本発明においては、信号電流の切り替え手段により、クロック伝送期間には高速駆動力を保つために信号電流を増大させ、アイドル状態では電流値を低減させるようにした。

【0048】以下、図面を参照しながら本発明の実施の形態を説明する。

【0049】図1は、本発明の実施例1のドライバ回路装置の回路図であり、特にドライバ回路の構成を例示するものである。

【0050】図1の基本的な構成は、図6に示す構成と同様であるが、異なるのは、バイアス入力端子21からのバイアスをゲート入力とするトランジスタ54に直列に、制御信号入力端子24からの制御信号をゲート入力とするトランジスタ76を接続した点と、トランジスタ54に並列にバイアス入力端子23からのバイアスをゲート入力とするトランジスタ75を配置し、さらにこのトランジスタ75に直列に、制御信号入力端子25からの制御信号をゲート入力とするトランジスタ77を接続した点である。その他の構成は、図6と同様であるため、説明は省略する。

【0051】以上述べたような構成において、図8（あるいは後述の図3）に示すような電流バイアス源からのバイアスをバイアス入力端子21、23に入力しておく、トランジスタ54、75により電流値を制限できるようにしておく。

【0052】一方、トランジスタ76、77のゲートに接続される制御信号入力端子24、25には、入力端子10への信号の変動検出に基づく切り替え信号を与えるようにしておく。つまり、信号の変動がない場合は、アイドル状態と判断して、トランジスタ76または77のいずれかをONさせるべく、制御信号入力端子24、2

5に信号を与え、信号の変動がある場合は、高速クロック伝送状態と判断して、トランジスタ76および77の両方をONさせるべく、制御信号入力端子24、25に信号を与える。

【0053】つまり、信号の変動の少ないアイドル状態の場合、先にも述べたように、大きな駆動電流は必要なく、むしろ電力消費の低減のためには、少なければ少ないほどよい。この場合、制御信号入力端子24、25により、トランジスタ76、77のいずれか一方だけをONさせる。その結果、出力端子13、13Bに流れる信号電流は、例えば、3mAに制限され、アイドル状態での電力消費を低減させることが可能になる。

【0054】一方、信号の変動が高速で行われる高速信号伝送状態の場合、先にも述べたように、寄生容量を駆動してなお充分な信号の振幅を得るためには、それなりの駆動電流が必要となってくる。この場合、制御信号入力端子24、25により、トランジスタ76、77の両方をONさせる。その結果、出力端子13、13Bに流れる信号電流は、例えば、アイドル時の2倍の、6mAに制御されることになる。その結果、高速での確実な信号の伝送が可能になる。

【0055】なお、このようなドライバ回路の構成は、入力端子10および出力端子13、13Bに対応して1対1で適用できるために、複数のポートを有するインターフェースの場合、各ポート毎に制御可能である。

【0056】図2は、本発明の実施例2のドライバ回路装置の回路図であり、特にバイアス回路の構成を例示するものである。

【0057】図2の基本的な構成は、図8に示す構成と同様であるが、異なるのは、抵抗26と低電位電源の間にトランジスタ78を直列に接続し、このトランジスタ78のゲートに制御信号入力端子20から制御信号を与えるようにした点と、抵抗26に並列に抵抗27を配置し、更にこの抵抗27と低電位電源の間にトランジスタ79を直列に接続し、このトランジスタ79のゲートに制御信号入力端子28から制御信号を与えるようにした点である。

【0058】以上述べたような構成において、このドライバ回路装置に用いられる電流バイアス源からのバイアスは、図6（あるいは図1）に示すような構成のドライバ回路に供給される。

【0059】一方、トランジスタ78、79のゲートに接続される制御信号入力端子20、28には、図6の入力端子10への信号の変動検出に基づく切り替え信号を与えるようにしておく。つまり、信号の変動がない場合は、アイドル状態と判断して、トランジスタ78または79のいずれかをONさせるべく、制御信号入力端子20、28に信号を与え、信号の変動がある場合は、高速クロック伝送状態と判断して、トランジスタ78および79の両方をONさせるべく、制御信号入力端子20、

28に信号を与える。その結果、バイアス出力端子31から出力される電流バイアス値は、図6の構成におけるトランジスタ54の電流駆動力を変化させることができる。

【0060】つまり、信号の変動の少ないアイドル状態の場合、先にも述べたように、大きな駆動電流は必要なく、むしろ電力消費の低減のためには、少なければ少ないほどよい。この場合、制御信号入力端子20、28により、トランジスタ78、79のいずれか一方だけをONさせる。その結果、バイアス出力端子31から、図6のバイアス入力端子21に与えられるバイアス値は、トランジスタ54に流れる電流値を小さく制限することになる。結果として、図6のドライバ回路の出力端子13、13Bに流れる信号電流は、例えば、3mAに制限され、アイドル状態での電力消費を低減させることが可能になる。

【0061】一方、信号の変動が高速で行われる高速信号伝送状態の場合、先にも述べたように、寄生容量を駆動してなお充分な信号の振幅を得るためには、それなりの駆動電流が必要となってくる。この場合、制御信号入力端子20、28により、トランジスタ78、79の両方をONさせる。その結果、バイアス出力端子31から、図6のバイアス入力端子21に与えられるバイアス値は、トランジスタ54に流れる電流値を大きく制御することになる。結果として、図6のドライバ回路の出力端子13、13Bに流れる信号電流は、例えば、アイドル時の2倍の、6mAに制御されることになる。その結果、高速での確実な信号の伝送が可能になる。

【0062】なお、このようなバイアス回路により電流制御されるドライバ回路装置では、複数のポートを有するインターフェースの場合、全てのポートに対して、共通のバイアス回路により電流の制御が可能である。

【0063】図3は、本発明の実施例3のドライバ回路装置の回路図であり、特にバイアス回路の構成を例示するものである。

【0064】図3の基本的な構成は、図8に示す構成と同様であるが、異なるのは、トランジスタ74と低電位電源の間にトランジスタ80を直列に接続し、このトランジスタ80のゲートに制御信号入力端子32から制御信号を与えるようにした点と、トランジスタ74と並列にトランジスタ81を配置し、更にこのトランジスタ81と低電位電源の間にトランジスタ82を直列に接続、このトランジスタ82のゲートに制御信号入力端子33から制御信号を与えるようにした点である。なお、図3において、トランジスタ81、74のそれぞれには、トランジスタ72と同じ値の電流が流れる（ただし、これは、トランジスタ81、74、72が同じ電流駆動能力の場合である。駆動能力が異なるときには、その能力に応じた比率で流れることになる。）。従って、トランジスタ74のみのときに比べ、トランジスタ74、81に

共に電流が流れるときには、ノード31は2倍の電流駆動力を有することになる。

【0065】以上述べたような構成において、このドライバ回路装置に用いられる電流バイアス源からのバイアスは、図6（あるいは図1）に示すような構成のドライバ回路に供給される。

【0066】一方、トランジスタ80、82のゲートに接続される制御信号入力端子32、33には、図6の入力端子10への信号の変動検出に基づく切り替え信号を与えるようにしておく。つまり、信号の変動がない場合は、アイドル状態と判断して、トランジスタ80または82のいずれかをONさせるべく、制御信号入力端子32、33に信号を与え、信号の変動がある場合は、高速クロック伝送状態と判断して、トランジスタ80および82の両方をONさせるべく、制御信号入力端子32、33に信号を与える。その結果、バイアス出力端子31から出力される電流バイアス値は、図6の構成におけるトランジスタ54の電流駆動力を変化させることができる。

【0067】本実施例の構成では、バイアス出力端子31から図6のバイアス入力端子21を通じてトランジスタ54のゲートにバイアス電流を伝えるNMOSTランジスタの駆動力を、トランジスタ74、81の駆動個数により変化させ、トランジスタ54の電流を切り替えようとするものである。

【0068】さて、以上のような構成において、図6の入力端子10から入力される信号の変動の少ないアイドル状態の場合、先にも述べたように、大きな駆動電流は必要なく、むしろ電力消費の低減のためには、少なければ少ないほどよい。この場合、制御信号入力端子32、33により、トランジスタ80、82のいずれか一方だけをONさせる。その結果、バイアス出力端子31から、図6のバイアス入力端子21に与えられるバイアス値は、トランジスタ74、81のいずれか一方によるものとなり、結果としてトランジスタ54に流れる電流値を小さく制限することになる。したがって、図6のドライバ回路の出力端子13、13Bに流れる信号電流は、例えば、3mAに制限され、アイドル状態での電力消費を低減させることが可能になる。

【0069】一方、信号の変動が高速で行われる高速信号伝送状態の場合、先にも述べたように、寄生容量を駆動してなお充分な信号の振幅を得るためには、それなりの駆動電流が必要となってくる。この場合、制御信号入力端子32、33により、トランジスタ80、82の両方をONさせる。その結果、バイアス出力端子31から、図6のバイアス入力端子21に与えられるバイアス値は、トランジスタ74、81の両方によるものとなり、結果としてトランジスタ54に流れる電流値が大きくなるように制御することになる。したがって、図6のドライバ回路の出力端子13、13Bに流れる信号電流

は、例えば、アイドル時の2倍の、6mAに制御されることになる。その結果、高速での確実な信号の伝送が可能になる。

【0070】なお、このようなバイアス回路により電流制御されるドライバ回路装置では、複数のポートを有するインターフェースの場合、全てのポートに対して、共通のバイアス回路により電流の制御が可能である。

【0071】なお、図1～図3において、並列的に設けた回路の数を2としているが、これを図9～図11に示すようにnまで拡張することができる。以上に述べたところからわかるように、本発明は、図6の従来の回路に代えて図1又は図9の回路を用いることができるものである。また、図7の従来の回路に代えて図2又は図10の回路を用い、用いた回路を図6又は図1の回路に接続することができる。さらに、図8の従来の回路に代えて図3又は図11の回路を用い、用いた回路を図6又は図1の回路に接続することができる。

【0072】

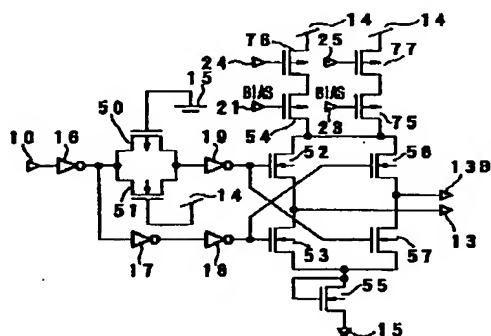
【発明の効果】以上述べたように、本発明のドライバ回路装置は、定電流駆動型のLVDSドライバにおいて、LVDS規格で定められた300mV程度の差動信号を作るに足る信号電流よりも大きな信号電流により駆動力を高めてAC的な差動信号振幅を確保すると共にクロック伝送を行わないアイドル状態では信号電流をDC的にLVDSレベルとなるように制限するように構成したので、パッケージのピンの寄生容量を高速に充放電して、400MHz程度以上の高速信号の伝送を可能にすると共に、レシーバとして用いられるコンパレータの感度を著しく上げる必要を無くし、更に、ドライバ側の消費電力を必要に応じて制限することで消費電力を低減できるという効果がある。

【図面の簡単な説明】

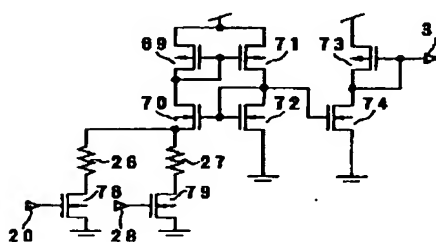
【図1】本発明の実施例1のドライバ回路装置のドライバ回路の回路図である。

【図2】本発明の実施例2のドライバ回路装置のバイアス回路の回路図である。

【図1】



【図2】



【図3】本発明の実施例3のドライバ回路装置のバイアス回路の回路図である。

【図4】本発明の実施例を説明するための信号の遷移状態の説明図である。

【図5】LVDSインターフェースを説明するための概念図である。

【図6】従来のドライバ回路装置のドライバ回路の回路図である。

【図7】従来のドライバ回路装置のレシーバ回路の回路図である。

【図8】従来のドライバ回路装置のバイアス回路の回路図である。

【図9】図1の回路の変形例である。

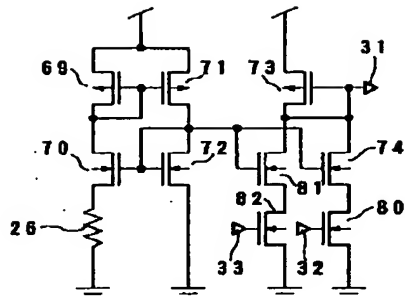
【図10】図2の回路の変形例である。

【図11】図3の回路の変形例である。

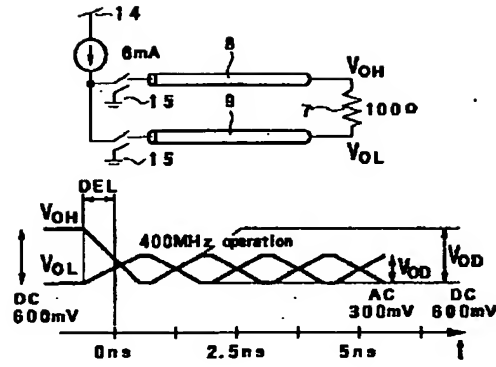
【符号の説明】

- 1 ドライバチップ
- 2 レシーバチップ
- 3 ドライバブロック
- 4 レシーバブロック
- 5 高電位駆動抵抗
- 6 低電位駆動抵抗
- 7 終端抵抗
- 8 往路伝送線
- 9 復路伝送線
- 10、11、11B 入力端子
- 12、13、13B 出力端子
- 14、29 高電位電源
- 15 30 低電位電源
- 16、17、18、19 インバータ
- 20、24、25、28、32、33 制御信号入力端子
- 21、22、23 バイアス入力端子
- 26、27 抵抗
- 31 バイアス出力端子
- 50～82 トランジスタ

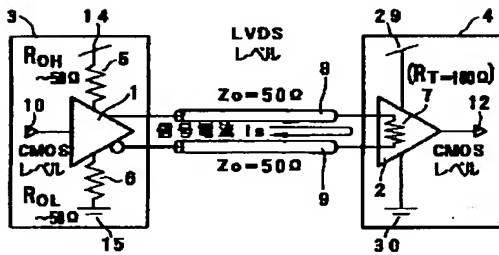
【図3】



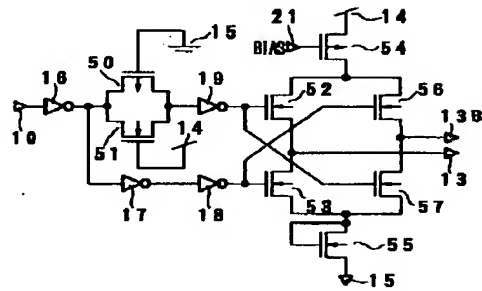
【図4】



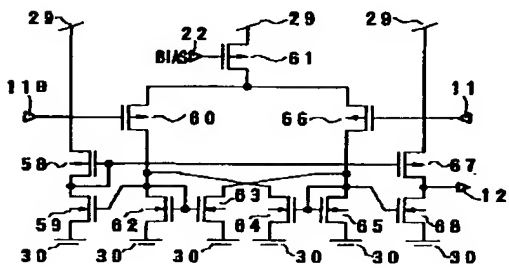
【図5】



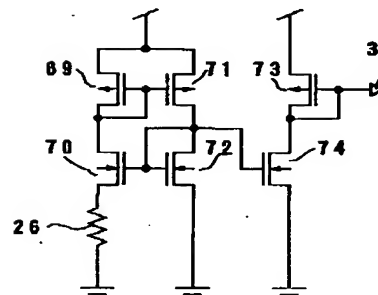
【図6】



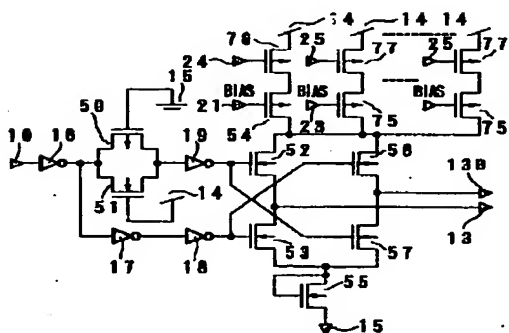
【図7】



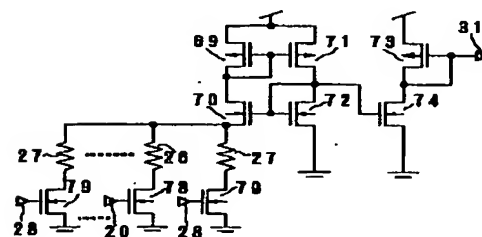
【図8】



【図9】



【図10】



【図11】

